

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-349247

(43)Date of publication of application : 15.12.2000

(51) Int. Cl.

H01L 27/10
H01L 27/04
H01L 21/822
H01L 27/108
H01L 21/8242
H01L 21/8247
H01L 29/788
H01L 29/792

(21)Application number : 11-158271

(71)Applicant : NEC CORP

(22)Date of filing : 04.06.1999

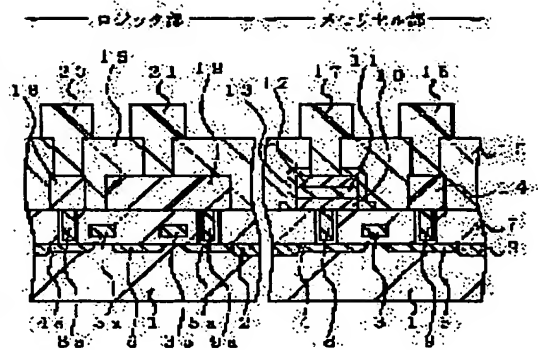
(72)Inventor : INOUE HISAYA
TAKEUCHI TSUNEO
HAYASHI YOSHIHIRO

(54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

(57) Abstract:

PROBLEM TO BE SOLVED: To improve memory characteristic and reliability of a semiconductor device, which is provided with a ferroelectric substance memory part and has a multilayered wiring structure.

SOLUTION: An etching stopper film 13 is adhered to the surface of a ferroelectric substance capacitor, composed of a lower electrode 10, a ferroelectric substance film 11 and an upper electrode 12, and an interlayer insulating film 15 of a different kind is formed on the etching stopper film 13. In a semiconductor device, having a ferroelectric substance capacitor and a multilayered wiring structure, the ferroelectric substance capacitor and first wiring layer 18 and 19 are formed on an interlayer insulating film 18, so that the film thickness of the ferroelectric substance capacitor is made the same as that of the first wiring layer. Furthermore, in a memory cell having a ferroelectric capacitor, a bit line 16 and a plate line 17 are arranged above the ferroelectric substance capacitor with the interlayer insulation film 18 interposed, and the bit line and plate line are arranged at high density.



LEGAL STATUS

[Date of request for examination]

25.05.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-349247

(P2000-349247A)

(43) 公開日 平成12年12月15日 (2000. 12. 15)

(51) IntCl. ⁷	識別記号	F I	テーマコード (参考)
H 0 1 L 27/10	4 5 1	H 0 1 L 27/10	4 5 1 5 F 0 0 1
27/04		27/04	C 5 F 0 3 8
21/822		27/10	6 5 1 5 F 0 8 3
27/108			6 8 1 B
21/8242		29/78	3 7 1
審査請求 有 請求項の数12 O L (全 10 頁) 最終頁に続く			

(21) 出願番号 特願平11-158271

(22) 出願日 平成11年6月4日 (1999. 6. 4)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 井上 尚也

東京都港区芝五丁目7番1号 日本電気株式会社内

(72) 発明者 竹内 常雄

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100082935

弁理士 京本 直樹 (外2名)

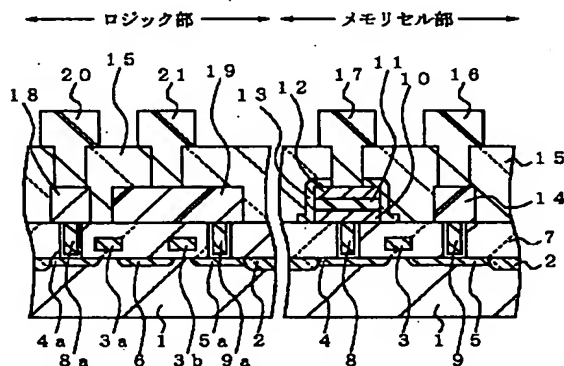
最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】 (修正有)

【課題】 強誘電体メモリ部を有し多層配線構造となる半導体装置のメモリ特性および信頼性を向上させる。

【解決手段】 下部電極10、強誘電体膜11、上部電極12で構成される強誘電体キャパシタ表面にエッチングストッパ膜13が被着し、エッチングストッパ膜上に別種の層間絶縁膜15が形成される。あるいは、強誘電体キャパシタと多層配線構造を有する半導体装置において、層間絶縁膜上に強誘電体キャパシタと第1の配線層18、19が形成され、強誘電体キャパシタの膜厚が、上記第1の配線層の膜厚と同一になるように形成される。また、強誘電体キャパシタを有するメモリセルにおいて、ビット線16およびプレート線17が層間絶縁膜を介して強誘電体キャパシタの上部に配設され、上記ビット線およびプレート線が高密度に配設される。



- 1 : シリコン基板
- 2 : 素子分離絶縁膜
- 3, 3a, 3b : ゲート電極
- 4, 4a, 5, 5a, 6 : 拡散層
- 7 : 第1層間絶縁膜
- 8, 8a, 9, 9a : コンタクトプラグ
- 10 : 下部電極
- 11 : 強誘電体薄膜
- 12 : 上部電極
- 13 : エッチングストッパ膜
- 14 : コンタクトパッド
- 15 : 第2層間絶縁膜
- 16 : ビット線
- 17 : プレート線
- 18, 19 : 第1配線層
- 20, 21 : 第2配線層

【特許請求の範囲】

【請求項1】 第1の層間絶縁膜上に下部電極、強誘電体膜、上部電極がこの順に積層して成る強誘電体キャパシタ表面にエッチングストッパ膜が形成され、前記エッチングストッパ膜上に第2の層間絶縁膜が形成されていることを特徴とする半導体装置。

【請求項2】 前記エッチングストッパ膜がチタン酸化物で構成され、前記第2の層間絶縁膜がシリコン酸化物で構成されていることを特徴とする請求項1記載の半導体装置。

【請求項3】 強誘電体キャパシタと多層配線構造を有する半導体装置であって、第1の層間絶縁膜上に前記強誘電体キャパシタと第1の配線層とが形成され、前記強誘電体キャパシタを構成する下部電極、強誘電体膜および上部電極の積層した膜厚が、前記第1の配線層の膜厚と同一になっていることを特徴とする半導体装置。

【請求項4】 前記強誘電体キャパシタを有するメモリセルにおいて、ビット線およびプレート線が前記第2の層間絶縁膜を介して前記強誘電体キャパシタの上部に配設されていることを特徴とする請求項1、請求項2または請求項3記載の半導体装置。

【請求項5】 前記ビット線およびプレート線が互いに並行して配設されていることを特徴とする請求項4記載の半導体装置。

【請求項6】 隣接する2本のプレート線および1本のビット線が所定のピッチで配設されていることを特徴とする請求項5記載の半導体装置。

【請求項7】 前記強誘電体キャパシタを有するメモリセルにおいて、プレート線が前記第2の層間絶縁膜を介して前記強誘電体キャパシタの上部に配設され、ビット線が第3の層間絶縁膜を介して前記プレート線に配設されていることを特徴とする請求項1、請求項2または請求項3記載の半導体装置。

【請求項8】 ロジック回路とメモリ回路の混載する半導体装置であって、前記ロジック回路の第1の配線層とメモリ回路の前記強誘電体キャパシタとが前記第1の層間絶縁膜上に形成され、ロジック回路の第2の配線層と前記プレート線が前記第2の層間絶縁膜上に形成され、ロジック回路の第3の配線層と前記ビット線が前記第3の層間絶縁膜上に形成されていることを特徴とする請求項7記載の半導体装置。

【請求項9】 前記強誘電体キャパシタの下部電極が前記第1の層間絶縁膜に形成されたコンタクトプラグあるいは前記コンタクトプラグとその上部のバリア層とを介して半導体基板表面の拡散層に電気接続されていることを特徴とする請求項1から請求項8のうち1つの請求項に記載の半導体装置。

【請求項10】 強誘電体キャパシタを有する半導体装置の製造方法であって、半導体基板上に形成した絶縁ゲート電界効果トランジスタを被覆する第1の層間絶縁膜

を形成する工程と、前記第1の層間絶縁膜の所定の領域に半導体基板表面の拡散層に接続するコンタクトプラグを形成する工程と、前記強誘電体キャパシタを形成しない領域にある前記コンタクトプラグを被覆するように酸化防止膜を形成する工程と、前記酸化防止膜上および前記強誘電体キャパシタを形成する領域にあるコンタクトプラグ上に導電体膜と強誘電体膜とを積層して堆積させる工程と、酸化雰囲気ガス中で熱処理を行い前記強誘電体膜の電気特性を向上させる工程と、を含むことを特徴とする半導体装置の製造方法。

【請求項11】 半導体基板上に第1の層間絶縁膜を介して強誘電体キャパシタを形成する工程と、前記強誘電体キャパシタ表面に被着するエッチングストッパ膜を形成する工程と、前記エッチングストッパ膜とは異種の第2の層間絶縁膜を前記エッチングストッパ膜上に形成する工程と、第1ステップのドライエッチングで前記第2の層間絶縁膜をエッチングし前記エッチングストッパ膜に達するコンタクト孔を形成する工程と、反応ガスに水素を含まない第2ステップのドライエッチングで前記露出したエッチングストッパ膜を除去する工程と、を含むことを特徴とする半導体装置の製造方法。

【請求項12】 半導体基板上に第1の層間絶縁膜を介して強誘電体キャパシタと第1の配線層とを形成する工程と、前記強誘電体キャパシタ表面に被着するエッチングストッパ膜を形成する工程と、前記エッチングストッパ膜とは異種の第2の層間絶縁膜を前記第1の配線層および前記エッチングストッパ膜を被覆するように形成する工程と、第1ステップのドライエッチングで前記第2の層間絶縁膜をエッチングし前記第1の配線層および前記エッチングストッパ膜に達するコンタクト孔を形成する工程と、反応ガスに水素を含まない第2ステップのドライエッチングで前記露出したエッチングストッパ膜を除去する工程と、を含むことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体装置およびその製造方法に関し、特に強誘電体キャパシタを有する半導体装置の配線構造とその製造方法に関する。

【0002】

【従来の技術】 現在、強誘電体膜の特性を利用した半導体装置の開発およびその実用化が種々に検討されている。この強誘電体膜は、その誘電率のヒステリシス特性から強誘電体メモリ（FeRAM）に適用されたり、その高い誘電率特性からDRAMのようなメモリセルのキャパシタに適用されたりする。以下、これらの強誘電体膜を含んで構成されるキャパシタを強誘電体キャパシタという。ここで、前者は、一般的に蓄積情報の不揮発性半導体装置であり、後者は、蓄積情報の揮発性半導体装置である。

【0003】このような強誘電体膜を用いる半導体装置は、半導体素子の微細化による高密度化あるいは高集積化と共に多機能化の方向にある。特に、半導体装置の多機能化においては、半導体装置に多層配線を形成することが必須となる。

【0004】このような多機能化した半導体装置として、ロジック回路と強誘電体メモリ回路とを混載するものがある。そして、このような半導体装置は、ICカードのような携帯機器に有効なものとして期待されている。

【0005】従来の技術で、このようなロジック・メモリ混載の半導体装置として、特開平10-275897号公報に記載された技術がある（以下、第1の従来例という）。以下、図8に基づいて、この第1の従来例について説明する。図8は、2層配線構造の半導体装置の断面図である。

【0006】図8に示すように、半導体基板101表面に素子間分離酸化膜102が形成され、ロジック部およびメモリセル部にMOSFETが形成される。すなわち、メモリセル部の半導体基板表面にゲート酸化膜を介してゲート電極103が形成され、ソース・ドレイン用の拡散層104、105が形成される。同様に、ロジック部の半導体基板表面にゲート酸化膜を介してゲート電極103a、103bが形成され、ソース・ドレイン用の拡散層104a、105a、106が形成される。

【0007】そして、平坦化された第1層間絶縁膜107の所定の領域にコンタクト孔が設けられ、このコンタクト孔にコンタクトプラグ108、109が形成される。ここで、拡散層105上のコンタクトプラグ109は、図示していないがメモリセルのビット線に接続される。

【0008】そして、第1層間絶縁膜107上にキャップ用の絶縁膜110が形成され、この上に強誘電体キャパシタが形成される。ここで、強誘電体キャパシタは、下部電極111、強誘電体薄膜112および上部電極113で構成される。そして、上述したコンタクトプラグ108は、電極配線115を介して強誘電体キャパシタの上部電極113に接続される。

【0009】また、ロジック部では、コンタクトプラグ108a、コンタクトプラグ109aは、それぞれ第1配線層116、117に接続される。そして、半導体装置の全面に第2層間絶縁膜118が形成され、この第2層間絶縁膜118の所定の領域にスルーホールが形成され、このスルーホールを介して第1配線層116、117にそれぞれ接続する第2配線層119、120が形成される。

【0010】また、特開平10-189886号公報には、メモリセル部の面積を縮小し信頼性を向上させる技術が提案されている（以下、第2の従来例という）。この技術の特徴は、図8に従って説明すると、強誘電体キ

ャパシタがコンタクトプラグ108上に位置して形成され、このコンタクトプラグ108が強誘電体キャパシタの下部電極111に接続される点にある。この場合には、第1の従来例の場合の電極配線115は不要となる。

【0011】

【発明が解決しようとする課題】以上に述べた従来の技術には、以下に述べるような問題が存在する。すなわち、第1の従来例では、図8で説明したように電極配線115が強誘電体キャパシタ上に配設される。そして、メモリセルのキャパシタ領域に大きな凸部が形成される。

【0012】このために、第2層間絶縁膜118を化学機械研磨（CMP）法で平坦化すると、半導体装置内で強誘電体キャパシタの無い領域、例えばロジック部での第2層間絶縁膜の膜厚が非常に厚くなってしまふ。そして、ロジック部の多層配線構造でスルーホールが極めて深くなり、スルーホールのアスペクト比が増大し、半導体装置の製造が難しくなる。

【0013】また、第1の従来例では、コンタクトプラグ108と上部電極113とが、電極配線115を介して接続されている。このために、メモリセル部の占有面積縮小が難しくなる。

【0014】第2の従来例では、強誘電体キャパシタがコンタクトプラグ上に形成され、下部電極がコンタクトプラグに接続される。この場合には、第1の従来例と異なり、メモリセル部の占有面積縮小が容易となる。しかし、第2の従来例では、強誘電体キャパシタを有するメモリ回路にロジック回路を混載させるような半導体装置については全く記載されていない。

【0015】このような混載の半導体装置で多層配線を形成する場合には、本発明に説明で後述するように、配線層接続のスルーホール形成（ドライエッチングによる）において強誘電体膜の電気的特性劣化（ヒステリシス特性等）あるいは信頼性低下が生じる。

【0016】本発明の目的は、強誘電体メモリ部を有し多層配線構造となる半導体装置であって、優れた強誘電体メモリ特性および高い信頼性を有するロジック回路混載のような多機能の半導体装置の実現を容易にすることにある。

【0017】そして、本発明の他の目的は、半導体装置の量産適用に好適な製造方法を提供することにある。

【0018】

【課題を解決するための手段】このために本発明の半導体装置では、第1の層間絶縁膜上に下部電極、強誘電体膜、上部電極がこの順に積層して成る強誘電体キャパシタ表面にエッチングストップ膜が形成され、前記エッチングストップ膜上に第2の層間絶縁膜が形成されている。ここで、前記エッチングストップ膜はチタン酸化物で構成され、前記第2の層間絶縁膜はシリコン酸化物で

構成されている。

【0019】また、本発明の半導体装置では、強誘電体キャパシタと多層配線構造を有する半導体装置であって、第1の層間絶縁膜上に前記強誘電体キャパシタと第1の配線層が形成され、前記強誘電体キャパシタを構成する下部電極、強誘電体膜および上部電極の積層した膜厚が、前記第1の配線層の膜厚と同一になっている。

【0020】また、本発明の半導体装置では、前記強誘電体キャパシタを有するメモリセルにおいて、ビット線およびプレート線が前記第2の層間絶縁膜を介して前記強誘電体キャパシタの上部に配設されている。ここで、前記ビット線およびプレート線が互いに並行して配設されている。また、隣接する2本のプレート線および1本のビット線が所定のピッチで配設されている。

【0021】あるいは、前記強誘電体キャパシタを有するメモリセルにおいて、プレート線が前記第2の層間絶縁膜を介して前記強誘電体キャパシタの上部に配設され、ビット線が第3の層間絶縁膜を介して前記プレート線上に配設されている。同様に、ロジック回路とメモリ回路の混載する半導体装置であって、前記ロジック回路の第1の配線層とメモリ回路の前記強誘電体キャパシタとが前記第1の層間絶縁膜上に形成され、ロジック回路の第2の配線層と前記プレート線が前記第2の層間絶縁膜上に形成され、ロジック回路の第3の配線層と前記ビット線が前記第3の層間絶縁膜上に形成されている。

【0022】そして、前記強誘電体キャパシタの下部電極は前記第1の層間絶縁膜に形成されたコンタクトプラグあるいは前記コンタクトプラグとその上部のバリア層とを介して半導体基板表面の拡散層に電気接続される。

【0023】また、本発明の半導体装置の製造方法は、強誘電体キャパシタを有する半導体装置の製造方法であって、半導体基板上に形成した絶縁ゲート電界効果トランジスタを被覆する第1の層間絶縁膜を形成する工程と、前記第1の層間絶縁膜の所定の領域に半導体基板表面の拡散層に接続するコンタクトプラグを形成する工程と、前記強誘電体キャパシタを形成しない領域にある前記コンタクトプラグを被覆するように酸化防止膜を形成する工程と、前記酸化防止膜上および前記強誘電体キャパシタを形成する領域にあるコンタクトプラグ上に導電体膜と強誘電体膜とを積層して堆積させる工程と、酸化雰囲気ガス中で熱処理を行い前記強誘電体膜の電気特性を向上させる工程とを含む。

【0024】また、本発明の半導体装置の製造方法は、半導体基板上に第1の層間絶縁膜を介して強誘電体キャパシタを形成する工程と、前記強誘電体キャパシタ表面に被着するエッチングストップ膜を形成する工程と、前記エッチングストップ膜とは異種の第2の層間絶縁膜を前記エッチングストップ膜上に形成する工程と、第1ステップのドライエッチングで前記第2の層間絶縁膜をエッチングし前記エッチングストップ膜に達するコンタク

ト孔を形成する工程と、反応ガスに水素を含まない第2ステップのドライエッチングで前記露出したエッチングストップ膜を除去する工程とを含む。

【0025】あるいは、本発明の半導体装置の製造方法は、半導体基板上に第1の層間絶縁膜を介して強誘電体キャパシタと第1の配線層とを形成する工程と、前記強誘電体キャパシタ表面に被着するエッチングストップ膜を形成する工程と、前記エッチングストップ膜とは異種の第2の層間絶縁膜を前記第1の配線層および前記エッチングストップ膜を被覆するように形成する工程と、第1ステップのドライエッチングで前記第2の層間絶縁膜をエッチングし前記第1の配線層および前記エッチングストップ膜に達するコンタクト孔を形成する工程と、反応ガスに水素を含まない第2ステップのドライエッチングで前記露出したエッチングストップ膜を除去する工程とを含む。

【0026】本発明では、強誘電体キャパシタあるいは多層配線構造を有する半導体装置において、強誘電体キャパシタ表面を被着するようにエッチングストップ膜が形成される。あるいは、強誘電体キャパシタ上および多層配線の第1の配線層上に形成される層間絶縁膜の膜厚が同一になるように形成される。

【0027】このために、エッチングストップ膜が強誘電体キャパシタのドライエッチング損傷を完全に防止するようになり、上記層間絶縁膜にコンタクト孔あるいはスルーホールを形成するためのドライエッチング工程で、強誘電体キャパシタを構成する強誘電体膜の電気的特性劣化は無くなり、強誘電体膜の信頼性も大幅に向上するようになる。そして、スルーホールおよびコンタクト孔の深さがほぼ同一になると、オーバーエッチング時間も少なくてすみ、多機能で微細な半導体装置の製造が容易になる。

【0028】また、本発明のメモリセル部の構造では、強誘電体キャパシタを有するメモリセルにおいて、プレート線とビット線とが高密度に配設できるようになる。そして、メモリセルの平面的占有面積が縮小し、多機能な半導体装置の高集積化あるいは高密度化が容易になる。

【0029】

【発明の実施の形態】次に、本発明の第1の実施の形態を図1乃至図3に基づいて説明する。図1は、強誘電体メモリ部とロジック部の混載された半導体装置の断面図である。そして、図2と図3は、このような半導体装置の製造方法を説明するための工程順の断面図となっている。

【0030】図1に示すように、従来の技術で説明したのと同様に、シリコン基板1表面に素子分離絶縁膜2が形成され、素子分離絶縁膜2で囲まれた活性領域に、ロジック部およびメモリセル部のMOSFETが形成されている。すなわち、メモリセル部のシリコン基板1表面

にゲート酸化膜を介してゲート電極3が形成され、ソース・ドレイン用の拡散層4、5が形成されている。また、ロジック部のシリコン基板1表面にゲート酸化膜を介してゲート電極3a、3bが形成され、ソース・ドレイン用の拡散層4a、5a、6が形成されている。

【0031】そして、平坦化された第1層間絶縁膜7の所定の領域にコンタクト孔が設けられ、このコンタクト孔にコンタクトプラグ8、9が形成されている。このコンタクトプラグ8は、強誘電体キャパシタの下部電極10に接続されている。ここで、コンタクトプラグ8は、バリア層を介して下部電極10に接続されてもよい。そして、この下部電極10上に積層して強誘電体薄膜11と上部電極12が形成され、この強誘電体キャパシタを被覆するようにエッチングストップ膜13が形成されている。

【0032】また、コンタクトプラグ9はコンタクトパッド14に接続され、第2層間絶縁膜15に設けられたスルーホールを通してビット線16に接続されている。さらに、エッチングストップ膜13と第2層間絶縁膜15に設けられたコンタクト孔を通して、プレート線17が強誘電体キャパシタの上部電極12に接続されている。ここで、積層した下部電極10、強誘電体薄膜11および上部電極12の高さが、コンタクトパッド14の高さと同じになるようにするとよい。

【0033】また、ロジック部では、コンタクトプラグ8a、コンタクトプラグ9aは、それぞれ第1配線層18、19に接続されている。ここで、第1配線層18、19の膜厚は、上記の下部電極10、強誘電体薄膜11および上部電極12の積層する膜厚と同じになるようにするとよい。そして、全面に第2層間絶縁膜15が形成され、その表面が平坦化され、さらに、この第2層間絶縁膜15の所定の領域にスルーホールが形成され、このスルーホールを介して第1配線層18、19にそれぞれ接続する第2配線層20、21が形成されている。

【0034】次に、前述の第1の実施の形態の半導体装置の製造方法について図2と図3に基づいて具体的に説明する。

【0035】図2(a)に示すように、例えば導電型がp型のシリコン基板1の表面に素子分離絶縁膜2が形成され、公知の方法でトレンチ構造の素子分離領域が形成される。そして、素子分離領域に囲まれた素子活性領域にCMOSが形成される。すなわち、メモリセル部およびロジック部にゲート電極3、3a、3bが形成され、ソース・ドレイン用のn型の拡散層4、4a、5、5a、6が形成される。

【0036】次に、化学気相成長(CVD)法でシリコン酸化膜が堆積され、CMP法でその表面が研磨され平坦化されて、第1層間絶縁膜7が形成される。そして、所定の領域にコンタクト孔が形成され、窒化チタン等のバリア膜とタングステン等の高融点金属が充填され、コ

ンタクトプラグ8、8a、9、9aが形成される。そして、図2(a)に示すように、強誘電体キャパシタの形成領域をのぞく領域に酸化防止膜22が形成される。ここで、酸化防止膜22は膜厚50nm程度のシリコン窒化膜である。

【0037】次に、図2(b)に示すように、導電体膜である膜厚200nm程度のPt膜、膜厚200nm程度のPLZT($(\text{Pb}_{1.02}\text{La}_{0.08}) (\text{Zr}_{0.35}\text{Ti}_{0.65})\text{O}_3$)膜、膜厚50nmの IrO_2 と膜厚100nmのIrがこの順に積層して堆積される。そして、微細加工技術で上記積層膜が加工され、下部電極10、強誘電体薄膜11および上部電極12が形成される。ここで、酸化防止膜22は、PLZT膜の形成工程で、成膜時に酸素雰囲気中で熱処理を行う場合に、強誘電体メモリ領域外のコンタクトプラグ8a、9、9a表面が酸化されるのを防止するものである。なお、この酸化処理は、Pt膜とPLZT膜の形成後に行われる。この酸化雰囲気での熱処理で、強誘電体メモリのコンタクトプラグ8表面の酸化を完全に防止するために、Ir、 IrO_2 、TiN、Ta₂N等がバリア層としてコンタクトプラグ8と下部電極10の間に形成されるとよい。

【0038】次に、図2(c)に示すように、下部電極10、強誘電体薄膜11および上部電極12を被覆するようにエッチングストップ膜13が形成される。このエッチングストップ膜13には、膜厚50nm程度の TiO_2 膜あるいは SiON 膜が用いられる。

【0039】次に、酸化防止膜22が除去され、アルミ金属あるいはタングステンのスパッタ成膜とそのパターニングとで、図3(a)に示すように、コンタクトパッド14、第1配線層18、19が形成される。ここで、アルミ金属あるいはタングステンの膜厚は550~600nm程度に設定される。この膜厚は、積層した下部電極10、強誘電体薄膜11および上部電極12の膜厚と同じである。

【0040】次に、全面にプラズマCVD法でシリコン酸化膜が堆積され、CMP法でその表面が完全に平坦化されて第2層間絶縁膜15が形成される。そして、レジストマスク23をエッチングマスクにしたドライエッチングで、第2層間絶縁膜15の所定の領域がエッチングされ、コンタクトパッド14表面に貫通するスルーホール24、エッチングストップ膜13に達するコンタクト孔25、第1配線層18、19表面にそれぞれ達するスルーホール26、27が同時に形成される。

【0041】このドライエッチングでは、エッチングガスとして CH_2F_2 あるいは CHF_3 ガスが用いられ、シリコン酸化膜である第2層間絶縁膜15が選択的にエッチングされ、 TiO_2 膜であるエッチングストップ膜13はほとんどエッチングされない。また、エッチングストップ膜13は水素の侵入をブロックするため、上記スルーホール形成工程で、エッチングガスから生じる水

素により強誘電体薄膜11が劣化することはない。

【0042】次に、反応ガスを CF_4 あるいは Cl_2 に変えて、露出したエッチングストップ膜13がエッチングされる。このようにして、図3(a)に示すように、上部電極12表面に貫通するようにコンタクト孔25aが形成される。

【0043】次に、スルーホール24、26、27およびコンタクト孔25aを充填するように、高温リフロースパッタ法でアルミ金属膜が堆積される。そして、このアルミ金属の微細加工を経て、図1で説明したようなビット線16、プレート線17および第2配線層20、21が形成される。

【0044】従来の技術では、水素の侵入を阻止するようなエッチングストップ膜が強誘電体キャパシタを被覆するように形成されることはない。このために、ドライエッチングによるスルーホールおよびコンタクト孔の形成工程で、水素および帯電損傷による強誘電体膜の劣化が著しい。

【0045】これに対して、本発明の方法では、上述したように強誘電体キャパシタの上部電極12上のコンタクト孔25aが、第2層間絶縁膜15とエッチングストップ膜13の2ステップのドライエッチング工程を通して形成される。このために、スルーホール24、26、27およびコンタクト孔25aの形成工程で、強誘電体薄膜11の電気的特性の劣化が生ずることはなく、また信頼性の低下も完全に避けられるようになる。

【0046】ドライエッチングの反応ガスに水素が含まれていると、プラズマ励起のために水素イオンあるいはラジカル水素が多量に発生する。この水素イオンあるいはラジカル水素は、強誘電体キャパシタの強誘電体膜を還元する能力が非常に高い。本発明のエッチングストップ膜13は、上述したように水素阻止能力が高く、このドライエッチング工程での強誘電体膜の劣化を完全に防止できるようになる。

【0047】ここで、コンタクトパッド14、第1配線層18、19の膜厚と強誘電体メモリの厚さが同じに形成されると、スルーホール24、26、27とコンタクト孔25aの深さが同じになり、その形成が非常に容易になる。

【0048】次に、第2の実施の形態について図4に基づいて説明する。この第2の実施の形態では、スルーホール部およびコンタクト孔部が第1の実施の形態と異なる。それ以外は、第1の実施の形態と同じである。

【0049】図4に示すように、第1の実施の形態で説明したのと同様にして、第2層間絶縁膜15の所定の領域にスルーホール24a、26、27およびコンタクト孔25aが形成される。ここで、スルーホール24aは、コンタクトプラグ9表面に貫通するように形成される。また、この場合には、ロジック部の第1配線層18、19の膜厚が、第1の実施の形態で説明した下部電

極10、強誘電体薄膜11および上部電極12の合計の厚さより薄くなってもよい。

【0050】次に、スルーホール24a、26、27およびコンタクト孔25aの内壁にバリア膜が窒化チタンで形成される。この窒化チタンは水素の侵入をブロックする働きを有する。そして、スルーホール24a、26、27およびコンタクト孔25aにタングステンが充填され、コンタクトプラグ28、29、30、31が形成される。そして、アルミ合金でビット線16a、プレート線17a、第2配線層20a、21aが形成される。上記のタングステンの形成で、WF₆と水素を含むガスの混合ガスの使用が可能になり、ロジック回路とメモリ回路の混載の半導体装置の製造が容易になる。

【0051】また、この場合では、スルーホールおよびコンタクト孔の深さが同じになるように設定する必要はない。また、第1の実施の形態と異なり、コンタクトパッドの形成は不要となり、メモリセル部の面積縮小が容易になる。

【0052】次に、本発明の強誘電体キャパシタを有するメモリセル部の構造について、以下、第3乃至第5の実施の形態で説明する。これらの実施の形態では、主にビット線とプレート配線の関係が特徴的となっている。

【0053】はじめに、第3の実施の形態について図5に基づいて説明する。図5はメモリセル部の製造工程順の平面図である。図5(a)に示すように、拡散層32が所定の配置で多数個形成されている。そして、ワード線33が配設されている。また、1個の拡散層32にコンタクト孔34が3個形成されている。

【0054】そして、図5(b)に示すように、第1あるいは第2の実施の形態で説明した強誘電体キャパシタ35およびコンタクトパッド36が形成されている。さらに、図5(c)に示すように、ワード線33に直交するようにビット線37およびプレート線38が並行して配設されている。これらのビット線37およびプレート線38は、同層の配線層に形成されている。例えば、第1の実施の形態で説明した第2配線層と同層の配線層で形成されている。そして、ビット線37およびプレート線38は、それぞれ、スルーホールを介してコンタクトパッド36、コンタクト孔を介して強誘電体キャパシタ35の上部電極に接続されている。また、この場合に特徴的なことは、1本のビット線と2本のプレート線とが交互に配設されていることである。

【0055】次に、第4の実施の形態について図6に基づいて説明する。図6もメモリセル部の製造工程順の平面図である。図6(a)に示すように、ワード線33が配設され、強誘電体キャパシタ35およびコンタクトパッド36が形成されている。そして、図6(b)に示すように、ワード線33に直交するようにビット線37aおよびプレート線38aが並行して形成されている。ここで、ビット線37aおよびプレート線38aは、それ

ぞれ、スルーホールを介してコンタクトパッド36、コンタクト孔を介して強誘電体キャパシタ35の上部電極に接続されている。この場合に特徴的なことは、第3の実施の形態と異なり、1本のビット線と1本のプレート線とが交互に配設されていることである。

【0056】次に、第5の実施の形態について図7に基づいて説明する。図7もメモリセル部の製造工程順の平面図である。図7(a)に示すように、ワード線33が配設され、強誘電体キャパシタ35および第1コンタクトパッド39が形成されている。

【0057】さらに、図7(b)に示すように、第1コンタクトパッド39に接続する第2コンタクトパッド40が形成されている。また、ワード線33に並行するようにプレート線41が配設されている。ここで、第2コンタクトパッド40およびプレート線41は、第1の実施の形態で説明した第2配線層と同層に形成されている。

【0058】そして、図7(c)に示すように、ビット線42が、第2のスルーホールを通して2コンタクトパッド40に接続し、プレート線41とは直交するように配設されている。ここで、プレート線41とビット線42とは層間絶縁膜を介して絶縁されている。

【0059】以上の第3乃至第5の実施の形態では、メモリセル部のプレート線とビット線とが高密度に配設できるようになる。このために、メモリセルの平面的占有面積は縮小し、多機能な半導体装置の高集積化あるいは高密度化が容易になる。

【0060】本発明では、強誘電体薄膜としてはPLZT膜以外にPZT膜のようなものでも同様に適用できる。また、エッチングストッパ膜としてTiO₂膜、SiON膜あるいはアルミナ膜以外でも、層間絶縁膜とのドライエッチング選択比が高くなる絶縁膜であれば同様に適用できる。なお、この場合には、水素の侵入に対してブロック能力の高いものであれば好適である。そして、強誘電体キャパシタの下部電極および上部電極との密着性の高い絶縁膜であることも必要である。

【0061】

【発明の効果】以上に説明したように、本発明では、下部電極、強誘電体膜、上部電極で構成される強誘電体キャパシタ表面にエッチングストッパ膜が被着し、エッチングストッパ膜上に別種の層間絶縁膜が形成される。あるいは、強誘電体キャパシタと多層配線構造を有する半導体装置において、層間絶縁膜上に強誘電体キャパシタと第1の配線層が形成され、強誘電体キャパシタの膜厚が、上記第1の配線層の膜厚と同一になるように形成される。

【0062】また、本発明では、強誘電体キャパシタを有するメモリセルにおいて、ビット線およびプレート線が層間絶縁膜を介して強誘電体キャパシタの上部に配設され、上記ビット線およびプレート線が互いに並行ある

いは直交して高密度に配設される。

【0063】このために、上記層間絶縁膜にコンタクト孔あるいはスルーホールを形成するためのドライエッチング工程で、強誘電体キャパシタを構成する強誘電体膜の電気的特性劣化は無く、強誘電体膜の信頼性は大幅に向上するようになる。

【0064】さらには、強誘電体キャパシタおよび多層配線構造を有する半導体装置の製造が非常に簡便になる。

【0065】また、本発明の強誘電体キャパシタを有するメモリセル部の構造では、プレート線とビット線とが高密度に配設できるようになる。そして、メモリセルの平面的占有面積が縮小し、多機能な半導体装置の高集積化あるいは高密度化が容易になる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態を説明するための半導体装置の断面図である。

【図2】上記半導体装置の製造工程順の断面図である。

【図3】上記半導体装置の製造工程順の断面図である。

【図4】本発明の第2の実施の形態を説明するための半導体装置の断面図である。

【図5】本発明の第3の実施の形態を説明するための強誘電体メモリセルの平面図である。

【図6】本発明の第4の実施の形態を説明するための強誘電体メモリセルの平面図である。

【図7】本発明の第5の実施の形態を説明するための強誘電体メモリセルの平面図である。

【図8】従来の技術を説明するための半導体装置の断面図である。

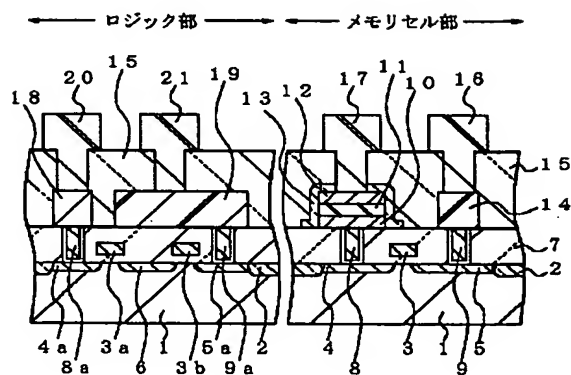
【符号の説明】

- 1 シリコン基板
- 2 素子分離絶縁膜
- 3, 3a, 3b ゲート電極
- 4, 4a, 5, 5a, 6, 32 拡散層
- 7 第1層間絶縁膜
- 8, 8a, 9, 9a, 28, 29, 30, 31 コンタクトプラグ
- 10 下部電極
- 11 強誘電体薄膜
- 12 上部電極
- 13 エッチングストッパ膜
- 14, 36 コンタクトパッド
- 15 第2層間絶縁膜
- 16, 37, 37a, 42 ビット線
- 17, 38, 38a, 41 プレート線
- 18, 19 第1配線層
- 20, 21 第2配線層
- 22 酸化防止膜
- 24, 24a, 26, 27 スルーホール
- 25, 25a, 34 コンタクト孔

33 ワード線
35 強誘電体キャパシタ

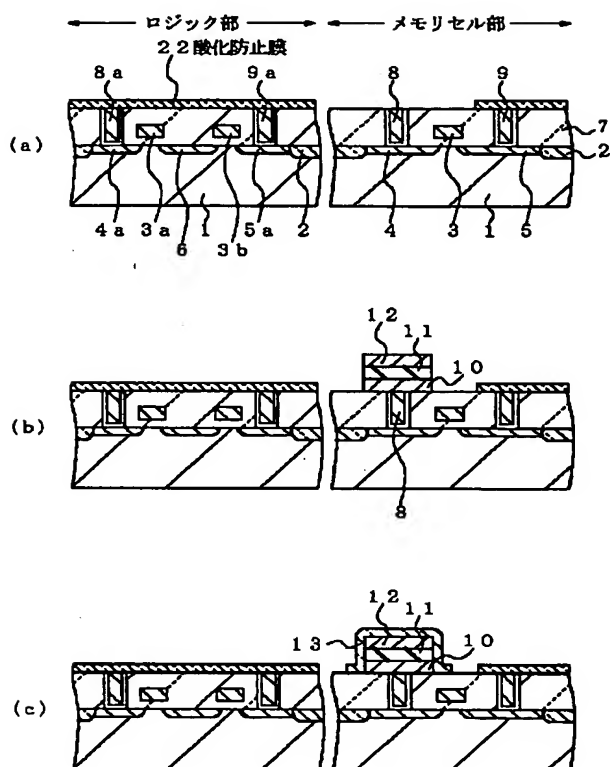
39 第1コンタクトパッド
40 第2コンタクトパッド

【図1】

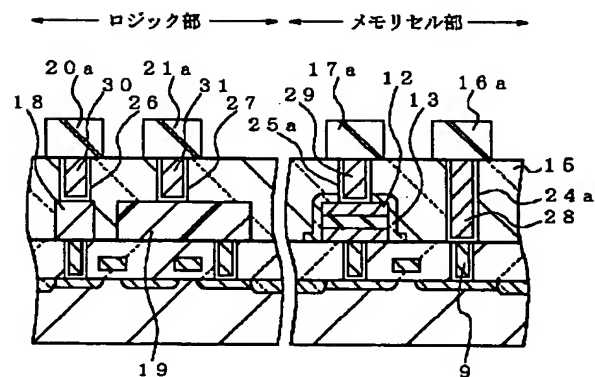


- 1: シリコン基板
- 2: 素子分離絶縁膜
- 3, 3a, 3b: ゲート電極
- 4, 4a, 5, 5a, 6: 拡散層
- 7: 第1層間絶縁膜
- 8, 8a, 9, 9a: コンタクトプラグ
- 10: 下部電極
- 11: 強誘電体薄膜
- 12: 上部電極
- 13: エッチングストップ膜
- 14: コンタクトパッド
- 15: 第2層間絶縁膜
- 16: ビット線
- 17: プレート線
- 18, 19: 第1配線層
- 20, 21: 第2配線層

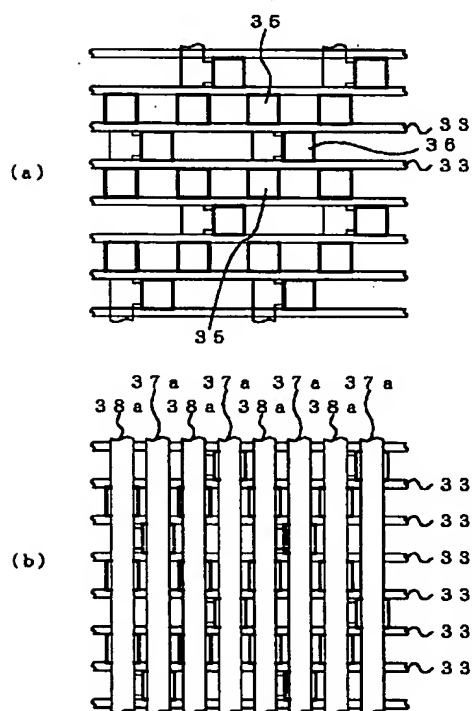
【図2】



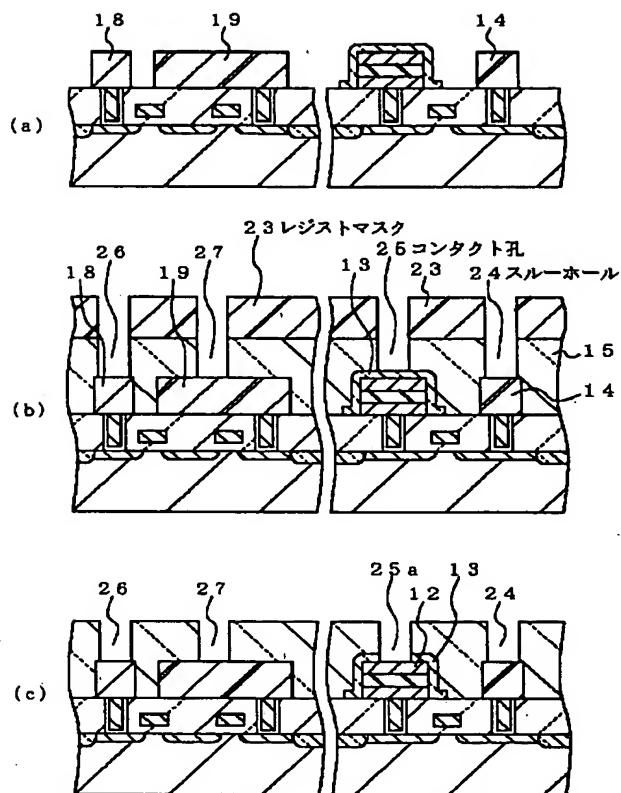
【図4】



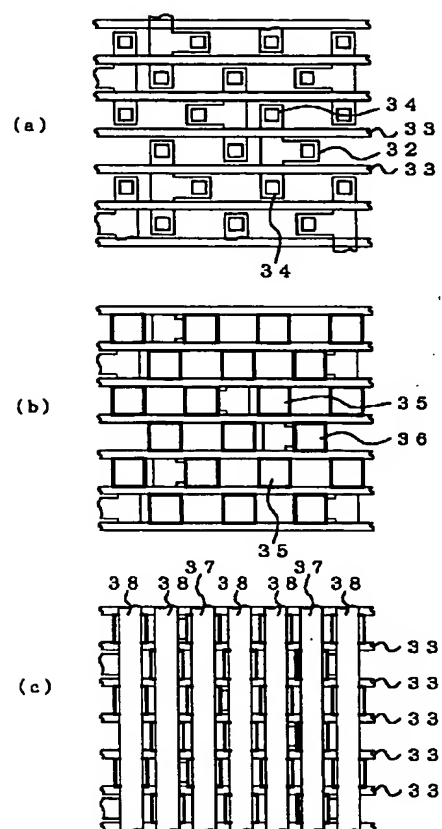
【図6】



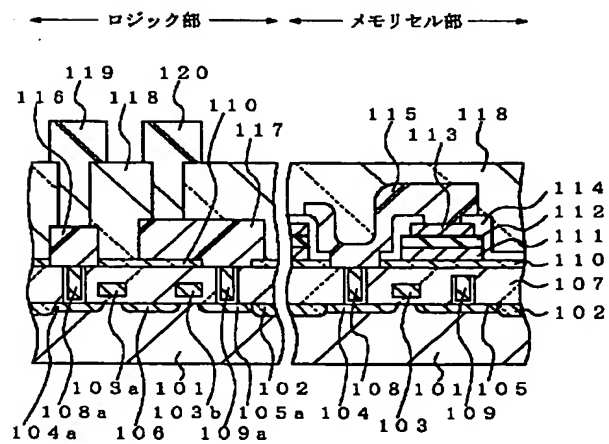
【図3】



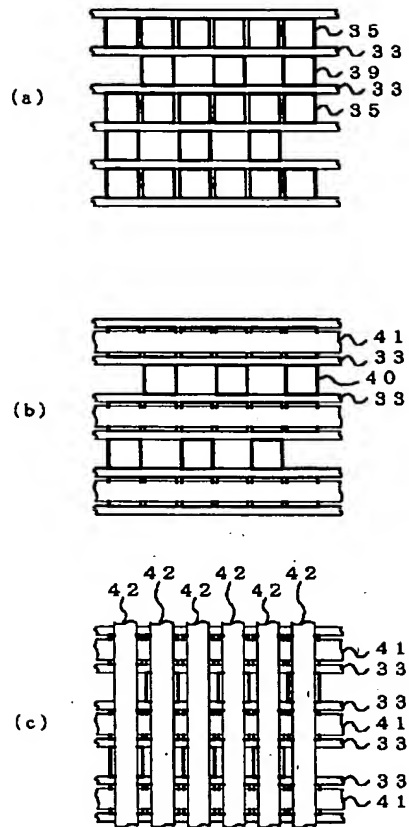
【図5】



【図8】



【図 7】



フロントページの続き

(51) Int. Cl.⁷

識別記号

F I

テーマコート* (参考)

H O 1 L 21/8247

29/788

29/792

(72) 発明者 林 喜宏

東京都港区芝五丁目 7 番 1 号 日本電気株
式会社内

F ターム (参考)

5F001 AA17 AD33 AD90 AG10 AG31
5F038 AC05 AC15 DF05 EZ01 EZ15
EZ20
5F083 AD00 FR02 GA09 GA21 GA30
JA15 JA36 JA38 JA39 JA40
JA56 KA05 MA04 MA05 MA06
MA17 MA19 NA01 PR03 PR40
ZA12